

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05181445 A

(43) Date of publication of application: 23.07.93

(51) Int. Cl

G09G 5/12

G09G 5/18

H04N 5/04

(21) Application number: 04000575

(71) Applicant: HITACHI LTD HITACHI GAZOU  
JOHO SYST:KK

(22) Date of filing: 07.01.92

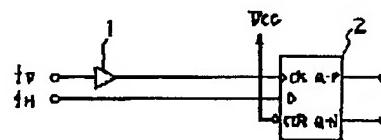
(72) Inventor: NISHIMURA HIROAKI

(54) HORIZONTAL SYNCHRONIZING SIGNAL  
POLARITY DISCRIMINATING CIRCUIT

(57) Abstract:

PURPOSE: To discriminate the polarity of a horizontal synchronizing signal by a multifrequency adaptive display synchronizing circuit.

CONSTITUTION: The output of a delay circuit 1 which consists of a simple logic gate and inputs a vertical synchronizing signal  $f_V$  is inputted to the CK of a D flip-flop 2 and the horizontal synchronizing signal  $f_H$  is inputted to the D of the D flip-flop 2. The circuit is composed of simple logic gates without using any capacitor and only the synchronizing signal is inputted, so the IC-implementation is facilitated.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-181445

(43)公開日 平成5年(1993)7月23日

(51)Int CL<sup>5</sup>

G 09 G 5/12  
5/18  
H 04 N 5/04

識別記号

府内整理番号  
8121-5G  
8121-5G  
Z 9070-5C

F I

技術表示箇所

審査請求 未請求 請求項の数2(全3頁)

(21)出願番号

特願平4-575

(22)出願日

平成4年(1992)1月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 西村 弘章

横浜市戸塚区吉田町292番地株式会社日立

画像情報システム内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 水平同期信号極性判別回路

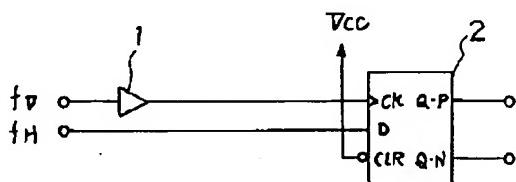
(57)【要約】

【目的】本発明は、マルチ周波数対応のディスプレイに  
関し、水平同期信号の極性を判別することにある。

【構成】垂直同期信号を入力とした簡単な論理ゲートで  
構成される遅延回路(1)の出力をDフリップフロップ  
(2)のCKへ入力し、水平同期信号をDフリップフロ  
ップ(2)のDへ入力することにより達成される。

【効果】回路構成をコンデンサを使用せずに簡単な論理  
ゲートの組合せとしているのでIC化が容易である。

図 1



### 【特許請求の範囲】

【請求項1】垂直同期信号を遅延させるゲートと、前記ゲート出力、及び水平同期信号を入力とし、水平同期信号の極性に対応した直流信号を発生させるためのDフリップフロップを設けたことを特徴とする水平同期信号極性判別回路。

【請求項2】前記極性に対応した直流信号と前記水平同期信号から、水平同期信号の極性にかかわらず、常に正または負極性の水平同期信号を発生させるためのE-O-Rゲートを設けたことを特徴とする請求項1記載の水平同期信号極性判別回路。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は、マルチ周波数対応のディスプレイの同期回路に係り、特に、水平同期信号の極性を判別するための回路に関する。

#### 【0002】

【従来の技術】従来の回路は、特開昭59-210772号に記載のように、抵抗とコンデンサから構成される積分器により、同期信号を直流に変換することで同期信号の極性判別を行っている。

#### 【0003】

【発明が解決しようとする課題】上記従来技術は、同期信号を積分器により直流信号に変換するため、コンデンサを使用する必要がある。そのため、回路をIC化するのが困難であるという問題があった。

【0004】本発明の目的は、コンデンサを使用せずに、回路のIC化を容易にすることにある。

#### 【0005】

【課題を解決するための手段】上記目的は、垂直同期信号を入力とした簡単な論理ゲートで構成される遅延回路と、前記遅延回路の出力と水平同期信号を入力としたDフリップフロップを設けることにより達成される。

#### 【0006】

【作用】垂直同期信号を簡単な論理ゲートで構成される遅延回路に入力する。遅延回路により遅延された垂直同期信号をDフリップフロップのCKへ入力し、Dへは水平同期信号を入力することにより、水平同期信号の極性に対応したHまたはLレベルの直流信号を得ることができる。

#### 【0007】

【実施例】以下、本発明の第一の実施例を図1、図2、図3を用いて説明する。

【0008】図1において、1は遅延回路、2はDフリップフロップである。遅延回路1は、数段のバッファまたはインバータなどの簡単な論理ゲートで構成される。遅延回路1に図2の(A)に示す正極性の垂直同期信号(以下、fVと略す。)を入力する。遅延回路1によりfVは図2の(C)のように遅延される。ここで、遅延する時間は図2の(B)に示す水平同期信号(以下、f

Hと略す。)のパルス幅より短くなければならない。次に、遅延回路1により遅延されたfVをDフリップフロップ2のCKへ入力し、Dへは図2の(B)に示す正極性のfHを入力する。ここで、fVのパルス幅は水平同期の整数倍である。従って、遅延回路1により遅延されたfVの立上り、立下り時はともに、図2に示すようにfHがHレベルの時があるので、Dフリップフロップ2のQ-P出力は図2の(D)に示すようにHレベルとなり、Q-N出力は図2の(E)に示すようにLレベルとなる。負極性のfVを入力した時も同様の結果を得られる。

【0009】同様に、図3に示すように負極性のfHを入力した場合、図3の(A)に示す正極性のfVは遅延回路1により、図3の(C)に示すように遅延され、Dフリップフロップ2のCKに入力される。DへはfHが入力される。遅延したfVの立上り、立下り時はともに、fHがLレベルであるので、Q-P出力は図3の(D)に示すようにLレベルとなり、Q-N出力は図3の(E)に示すようにHレベルとなる。負極性のfVを入力した時も同様の結果を得られる。従って、入力するfHが正極性と負極性とでは、Dフリップフロップ2の出力Q-P、Q-Nが変化するので、fHの極性を判別することができる。

【0010】また、第二の実施例として、図4に示すようにDフリップフロップ2のQ-N出力とfHをE-O-Rゲート3に入力すると、fHの極性にかかわらず、常に正極性の水平同期信号を得ることができる。また、E-O-Rゲート3の一方の入力をDフリップフロップ2のQ-P出力に接続すれば、常に負極性の水平同期信号を得ることができる。

【0011】本実施例によれば、コンデンサを使用することなく、水平同期信号の極性を判別することができる。また、水平同期信号極性判別信号を利用することにより、入力の水平同期信号の極性にかかわらず、常に正または負極性となる水平同期信号を得ることができる。

#### 【0012】

【発明の効果】本発明によれば、回路構成をコンデンサを使用せずに簡単な論理ゲートの組合せとし、入力を同期信号のみとしているので、容易にIC化することができる。

### 【図面の簡単な説明】

【図1】本発明の第一の実施例を示す回路図である。

【図2】本発明の第一の実施例を示す回路図の動作波形図である。

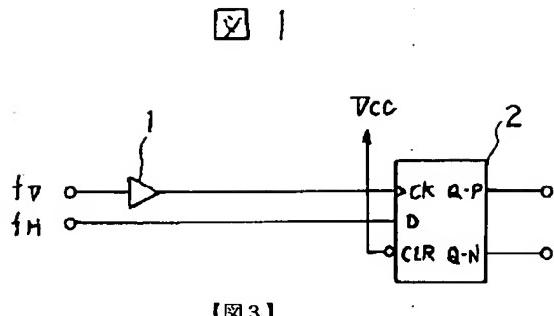
【図3】本発明の第一の実施例を示す回路図の動作波形図である。

【図4】本発明の第二の実施例を示す回路図である。

### 【符号の説明】

1…遅延回路、2…Dフリップフロップ、3…E-O-Rゲート

【図1】



【図3】

【図2】

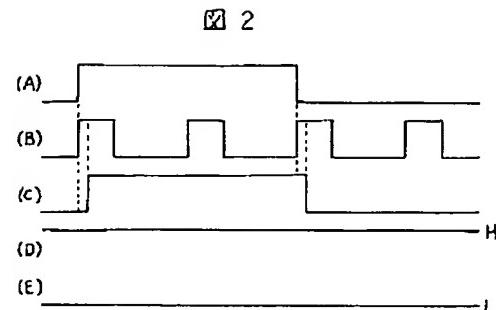
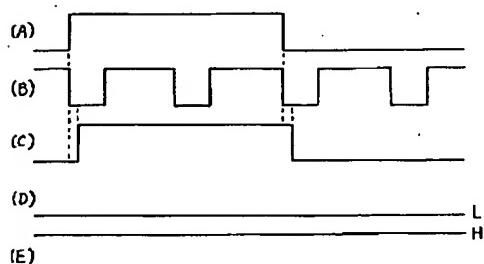


図3



【図4】

